

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-274385

(43)Date of publication of application : 05.10.2001

(51)Int.Cl.

H01L 29/78
H01L 21/336
H01L 21/28

(21)Application number : 2000-088817

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 28.03.2000

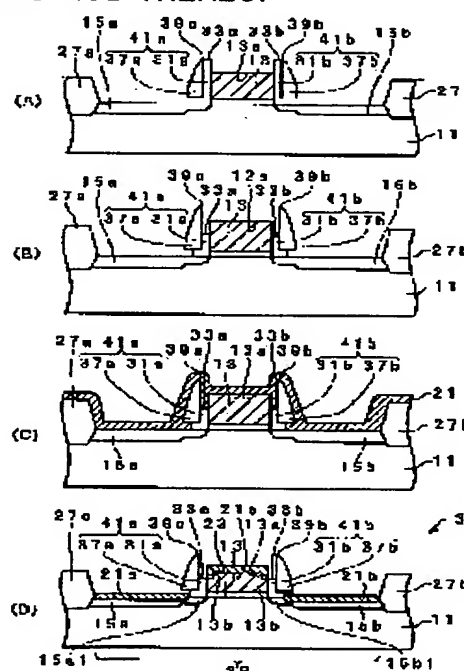
(72)Inventor : ASAKAWA TSUTOMU

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method of a MOS field-effect transistor for preventing a minute-line effect generated in process.

SOLUTION: A titanium silicide layer 21c is formed on an upper face 13a of a gate electrode 13 in such a state that the top parts 33a and 33b of the first parts 31a and 31b of the sidewalls 41a and 41b are located at a position lower than the upper face 13a of the gate electrode 13. Then, a titanium silicide layer 21c of the upper surface 13a of the gate electrode 13 can be prevented from being connected with the sidewalls 41a and 41b in the titanium silicide layer 21c formation step.



LEGAL STATUS

[Date of request for examination]

02.10.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-274385

(P2001-274385A)

(43) 公開日 平成13年10月5日 (2001.10.5)

(51) Int.Cl. ⁷	識別記号	F I	テームト [®] (参考)
H 0 1 L 29/78		H 0 1 L 21/28	3 0 1 D 4 M 1 0 4
21/336			3 0 1 T 5 F 0 4 0
21/28	3 0 1	29/78	3 0 1 P
			3 0 1 L

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願2000-88817(P2000-88817)

(22) 出願日 平成12年3月28日 (2000.3.28)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 浅川 勉

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100090479

弁理士 井上 一 (外2名)

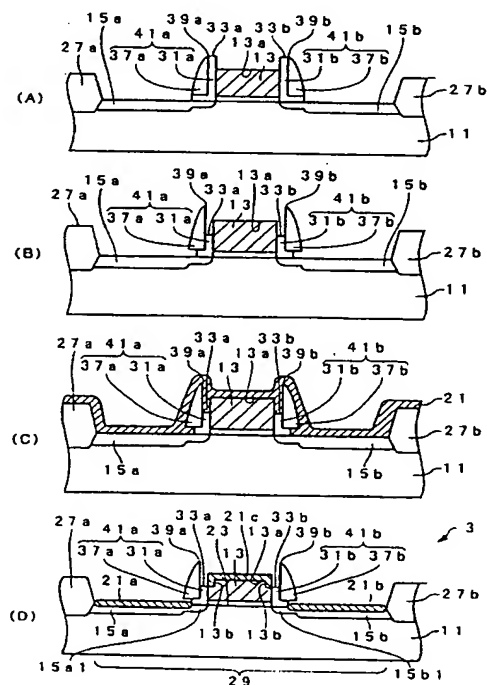
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 細線効果の発生を抑制することができるMOS電界効果トランジスタの製造方法を提供することである。

【解決手段】 サイドウォール41a、41bの第1部分31a、31bの頂部33a、33bを、ゲート電極13の上面13aより低い位置にした状態で、ゲート電極13の上面13aにチタンシリサイド層21cを形成している。このため、チタンシリサイド層21c形成工程において、ゲート電極13の上面13aのチタンシリサイド層21cが、サイドウォール41a、41bとつながることを防ぐことができる。



【特許請求の範囲】

【請求項 1】 シリコン含有層を含むゲート電極と、ソース／ドレイン領域と、前記ゲート電極の上面に位置するシリサイド層と、前記ゲート電極の側面に位置するサイドウォールと、を含む半導体装置の製造方法であって、

前記ゲート電極を形成する工程と、

前記ソース／ドレイン領域が形成されるソース／ドレイン形成領域および前記ゲート電極を覆うように、前記サイドウォールとなる第 1 絶縁層を形成する工程と、

前記第 1 絶縁層を覆うように、前記サイドウォールとなる第 2 絶縁層を形成する工程と、

前記第 1 および前記第 2 絶縁層をエッチングすることにより、前記ゲート電極の側面に、前記サイドウォールを形成する工程と、

前記サイドウォールは、前記第 1 絶縁層を含む第 1 部分と、前記第 2 絶縁層を含む第 2 部分と、を備え、

さらに、

前記第 1 部分を部分的に除去することにより、前記第 1 部分の頂部が、前記ゲート電極の上面より低い位置にする工程と、

前記ゲート電極の上面に前記シリサイド層を形成する工程と、

を備えた、半導体装置の製造方法。

【請求項 2】 シリコン含有層を含むゲート電極と、ソース／ドレイン領域と、前記ゲート電極の上面に位置するシリサイド層と、前記ゲート電極の側面に位置するサイドウォールと、を含む半導体装置の製造方法であって、

前記ゲート電極を形成する工程と、

前記ゲート電極の上面に、上部層を形成する工程と、

前記ソース／ドレイン領域が形成されるソース／ドレイン形成領域および前記上部層を覆うように、前記サイドウォールとなる第 1 絶縁層を形成する工程と、

前記第 1 絶縁層を覆うように、前記サイドウォールとなる第 2 絶縁層を形成する工程と、

前記第 1 および前記第 2 絶縁層をエッチングすることにより、前記ゲート電極の側面および前記上部層の側面に、前記サイドウォールを形成する工程と、

前記サイドウォールは、前記第 1 絶縁層を含む第 1 部分と、前記第 2 絶縁層を含む第 2 部分と、を備え、

さらに、

前記上部層を、前記ゲート電極の上面から除去する工程と、

前記第 1 部分を部分的に除去することにより、前記第 1 部分の頂部が、前記ゲート電極の上面より低い位置にする工程と、

前記ゲート電極の上面に前記シリサイド層を形成する工程と、

を備えた、半導体装置の製造方法。

【請求項 3】 請求項 2 において、

前記シリサイド層形成工程は、前記ソース／ドレイン領域上に他のシリサイド層を形成する工程を含む、半導体装置の製造方法。

【請求項 4】 半導体装置であって、

ゲート電極、ソース／ドレイン領域、シリサイド層およびサイドウォールを備え、

前記ゲート電極の上面には、前記シリサイド層が位置し、

10 前記サイドウォールは、第 1 の部分および第 2 の部分を含み、

前記第 1 の部分は、前記ゲート電極と前記第 2 の部分との間に位置し、

前記第 1 の部分の頂部は、前記ゲート電極の上面より低い位置にある、半導体装置。

【請求項 5】 請求項 4 において、

他のシリサイド層を備え、

前記他のシリサイド層は、ソース／ドレイン領域上に位置し、

20 前記第 2 の部分の頂部は、前記ゲート電極の上面より高い位置にある、半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シリサイド層を備えた半導体装置およびその製造方法に関する。

【0002】

【背景技術および発明が解決しようとする課題】MOS (Metal Oxide Semiconductor) 電界効果トランジスタにおいて、ゲート電極およびソース (ドレイン) 領域にシリサイド層が形成されることがある。シリサイド層により、これらの抵抗を下げ、MOS 電界効果トランジスタを高速化するためである。

【0003】しかし、配線の幅を細くした場合、細線効果と呼ばれる問題が生ずることが判明してきている。特に、チタンシリサイド層を利用する技術では、以下のような問題を生ずる。すなわち、高集積化を図るためにゲート電極およびソース (ドレイン) 領域の幅を細くしていくと、チタンシリサイド層における抵抗のばらつきが大きくなること、および、抵抗の平均値が大きくなること、という二つの問題が発生する。

【0004】細線効果を生ずる原因は、次のように考えられる。チタンシリサイドには、高抵抗 ($100 \Omega \cdot \text{cm}$ 程度) の結晶構造 (これは、「C49 構造」と呼ばれる) と、低抵抗 ($15 \Omega \cdot \text{cm}$ 程度) の結晶構造 (これは、「C54 構造」と呼ばれる) の二つがある。そして、通常、高抵抗の結晶構造 (C49 構造) は、 $400 \sim 600^\circ\text{C}$ 程度の温度で形成されるのに対して、低抵抗の結晶構造 (C54 構造) は、 $700 \sim 800^\circ\text{C}$ 程度の、より高い温度で形成される。しかし、配線が細線化するにしたがって、高抵抗の結晶構造から低抵抗の結晶

構造への相転移が阻害され、高抵抗結晶の比率が高くなってしまふ。また、配線が細線化するにしたがって、低抵抗結晶と高抵抗結晶の比率のばらつきが大きくなってしまふ。このため、ゲート電極などの配線幅がある値以下、例えば、およそ $0.35\mu\text{m}$ 以下では、チタンシリサイド層における抵抗のばらつきが大きくなること、および、抵抗の平均値が大きくなること、という問題がより顕著となる。

【0005】本発明の目的は、細線効果を抑制することが可能な半導体装置およびその製造方法を提供することである。

【0006】

【課題を解決するための手段】(1) 本発明は、シリコン含有層を含むゲート電極と、ソース/ドレイン領域と、前記ゲート電極の上面に位置するシリサイド層と、前記ゲート電極の側面に位置するサイドウォールと、を含む半導体装置の製造方法であって、前記ゲート電極を形成する工程と、前記ソース/ドレイン領域が形成されるソース/ドレイン形成領域および前記ゲート電極を覆うように、前記サイドウォールとなる第1絶縁層を形成する工程と、前記第1絶縁層を覆うように、前記サイドウォールとなる第2絶縁層を形成する工程と、前記第1および前記第2絶縁層をエッチングすることにより、前記ゲート電極の側面に、前記サイドウォールを形成する工程と、前記サイドウォールは、前記第1絶縁層を含む第1部分と、前記第2絶縁層を含む第2部分と、を備え、さらに、前記第1部分を部分的に除去することにより、前記第1部分の頂部が、前記ゲート電極の上面より低い位置にする工程と、前記ゲート電極の上面に前記シリサイド層を形成する工程と、を備えた、半導体装置の製造方法である。

【0007】本発明にかかる半導体装置の製造方法によれば、サイドウォールの第1部分の頂部を、ゲート電極の上面より低い位置にした状態で、ゲート電極の上面にシリサイド層を形成しているため、細線効果の発生を抑制することができる。この理由を、チタンシリサイドを例に説明する。

【0008】チタンシリサイド層は、チタン層を、ゲート電極の上面およびソース(ドレイン)領域を覆うように形成し、そして、チタン層を熱処理することにより形成される。このチタンシリサイド層形成工程において、高抵抗の結晶構造(C49構造)から低抵抗の結晶構造(C54構造)への相転移の際、結晶の体積減少が起きるので、チタンシリサイド層は収縮する。このとき、ゲート電極の上面のチタンシリサイド層がサイドウォールとつながっていると、サイドウォールによりチタンシリサイド層の収縮が妨げられるので、チタンシリサイド層に引張応力が作用する。これにより、相転移が起きにくい状態となるので、細線効果が発生する。

【0009】細線効果が問題になるほどの引張応力がチ

タンシリサイド層に作用するのを防止するためには、ゲート電極の上面のチタンシリサイド層がサイドウォールとつながないようにすればよい。本発明にかかる半導体装置の製造方法によれば、これを達成することができるのである。

【0010】すなわち、本発明にかかる半導体装置の製造方法によれば、サイドウォールは第1および第2の部分を含む。ゲート電極と第2の部分との間に第1部分が位置する。本発明にかかる半導体装置の製造方法によれば、サイドウォールの第1部分の頂部を、ゲート電極の上面より低い位置にした状態で、ゲート電極の上面にシリサイド層を形成しているため、ゲート電極の上面のチタンシリサイド層がサイドウォールとつながることができる。

【0011】以上の理由により、本発明にかかる半導体装置の製造方法によれば、細線効果の発生を抑制することができる。なお、チタン以外の高融点金属を用いたシリサイド層でも、シリサイド層に引張応力または圧縮応力が作用すると、シリサイド層に細線効果が生じる場合であれば、本発明にかかる半導体装置の製造方法を用いることにより、細線効果の発生を抑制することができる。

【0012】なお、本発明にかかる半導体装置の製造方法において、ソース/ドレイン領域とは、ソース領域およびドレイン領域のうち、少なくともいずれか一方の機能を果たす領域である。以下にででくるソース/ドレイン領域もこの意味である。

【0013】(2) 本発明は、シリコン含有層を含むゲート電極と、ソース/ドレイン領域と、前記ゲート電極の上面に位置するシリサイド層と、前記ゲート電極の側面に位置するサイドウォールと、を含む半導体装置の製造方法であって、前記ゲート電極を形成する工程と、前記ゲート電極の上面に、上部層を形成する工程と、前記ソース/ドレイン領域が形成されるソース/ドレイン形成領域および前記上部層を覆うように、前記サイドウォールとなる第1絶縁層を形成する工程と、前記第1絶縁層を覆うように、前記サイドウォールとなる第2絶縁層を形成する工程と、前記第1および前記第2絶縁層をエッチングすることにより、前記ゲート電極の側面および前記上部層の側面に、前記サイドウォールを形成する工程と、前記サイドウォールは、前記第1絶縁層を含む第1部分と、前記第2絶縁層を含む第2部分と、を備え、さらに、前記上部層を、前記ゲート電極の上面から除去する工程と、前記第1部分を部分的に除去することにより、前記第1部分の頂部が、前記ゲート電極の上面より低い位置にする工程と、前記ゲート電極の上面に前記シリサイド層を形成する工程と、を備えた、半導体装置の製造方法。

【0014】本発明にかかる半導体装置の製造方法によれば、上記と同様の理由により、細線効果の発生を抑制

することができる。

【0015】また、本発明にかかる半導体装置の製造方法によれば、第2部分の頂部をゲート電極の上面より高い位置にした状態で、シリサイド層が形成される。よって、シリサイド層形成工程が、ソース／ドレイン領域上に他のシリサイド層を形成する工程を含む場合、いわゆるブリッジ効果を防ぐことが可能となる。この理由を説明する。

【0016】サイドウォールの役目の一つは、ゲート電極の上面に位置するシリサイド層と、ソース／ドレイン領域上に位置する他のシリサイド層とが接触するのを防ぐことである。これらのシリサイド層が成長しすぎると、これらのシリサイド層が、サイドウォール上でつながることがある。この結果、ゲート電極とソース／ドレイン領域とが接続された状態となる。これをブリッジ効果という。

【0017】本発明にかかる半導体装置の製造方法によれば、まず、ゲート電極の上面に上部層が位置している状態で、サイドウォールを形成する。上部層があることで、サイドウォールの第1および第2部分の頂部はゲート電極の上面よりも高い位置にある。その後、第1部分の頂部が、ゲート電極の上面より低い位置になるようにされる。このとき、第2部分の頂部は、ゲート電極の上面よりも高い位置にある状態のままである。そして、ゲート電極の上面にシリサイド層を形成し、かつソース／ドレイン領域上に他のシリサイド層を形成する。これらのシリサイド形成工程において、サイドウォールの第2部分の頂部がゲート電極の上面より高い位置にあるので、その分だけ、サイドウォール上の距離をかせげる。この結果、ブリッジ効果が生じにくいのである。

【0018】第2部分の頂部とゲート電極の上面との高さの差として、200～1500オングストロームがある。高さの差が1500オングストローム以下の理由は、次のとおりである。高さの差が1500オングストローム以下だと、この上に位置する層間絶縁層を容易に平坦化することができるからである。また、高さの差が1500オングストローム以下だと、ゲート電極の厚みが小さくなりすぎるのを防ぐことができるからである。ゲート電極の厚みが小さくなりすぎると、ゲート電極の上面のシリサイド層の底部とゲート絶縁層との距離が短くなりすぎ、ゲート絶縁層の信頼性が低下するのである。

【0019】一方、高さの差が200オングストローム以上だと、ブリッジ効果発生をより確実に抑制することができるからである。

【0020】上部層の厚みを制御することにより、第2部分の頂部とゲート電極の上面との高さの差を調整できる。すなわち、上部層の厚みを大きくすると、高さの差が大きくなり、上部層の厚みを小さくすると、高さの差が小さくなる。

【0021】上部層として要求される条件は、ゲート電極の材料およびサイドウォールの材料に対して、エッチングの選択性や溶解の選択性がある、ことである。この条件が要求される理由は、以下の理由からである。サイドウォール形成後、ゲート電極の上面にはシリサイド層が形成される。このシリサイド層の形成前に、ゲート電極の上面から上部層を除去する必要がある。上部層がこの条件を満たしていないと、上部層の除去の際に、ゲート電極やサイドウォールも除去されるのである。

【0022】この条件を満たす材料としては、例えば、チタンナイトライド層がある。

【0023】なお、本発明にかかる半導体装置の製造方法において、上部層をゲート電極の上面から除去する工程と、サイドウォールの第1部分の頂部を低くする工程とは、どちらが先でも良い。

【0024】なお、(1)、(2)で説明した本発明にかかる半導体装置の製造方法によれば、前記第1絶縁層は、シリコン窒化層を含み、前記第2絶縁層は、シリコン酸化層を含む、にすることができる。

【0025】また、この逆に、前記第1絶縁層は、シリコン酸化層を含み、前記第2絶縁層は、シリコン窒化層を含む、にすることができる。

【0026】シリコン酸化層はフッ酸で除去でき、シリコン窒化層は熱リン酸で除去できる。つまり、シリコン酸化層とシリコン窒化層とは、互いに、エッチングの選択性がある。したがって、サイドウォール形成後、第1部分のみを選択的に除去することができる。

【0027】(3)本発明は、ゲート電極、ソース／ドレイン領域、シリサイド層およびサイドウォールを備え、前記ゲート電極の上面には、前記シリサイド層が位置し、前記サイドウォールは、第1の部分および第2の部分を含み、前記第1の部分は、前記ゲート電極と前記第2の部分との間に位置し、前記第1の部分の頂部は、前記ゲート電極の上面より低い位置にある、半導体装置である。

【0028】本発明にかかる半導体装置によれば、サイドウォールの第1部分の頂部が、ゲート電極の上面より低い位置にある。このため、シリサイド形成工程において、ゲート電極の上面のシリサイド層がサイドウォールとつながらないようにすることができるので、細線効果の発生を抑制することができる。

【0029】本発明にかかる半導体装置は、次の構成を備えることができる。すなわち、本発明は、他のシリサイド層を備え、前記他のシリサイド層は、ソース／ドレイン領域上に位置し、前記第2の部分の頂部は、前記ゲート電極の上面より高い位置にある、半導体装置である。

【0030】この構成を加えた本発明にかかる半導体装置によれば、第2部分の頂部がゲート電極の上面より高い位置にある。このため、ゲート電極の上面にシリサイ

ド層を形成し、かつソース／ドレイン領域上に他のシリサイド層を形成する工程において、ブリッジ効果の発生を抑制することができる。

【0031】

【発明の実施の形態】〔第1実施形態〕（デバイスの構造）図3（C）は、本発明の第1実施形態にかかるMOS電界効果トランジスタ1の断面図である。MOS電界効果トランジスタ1は、p型シリコン基板11、ゲート電極13、n⁺型ソース領域15aおよびn⁺型ドレイン領域15bを備える。

【0032】p型シリコン基板11の表面には、素子分離絶縁層27a、27bが位置している。素子分離絶縁層27aと素子分離絶縁層27bとで規定される素子形成領域29に、MOS電界効果トランジスタ1が形成される。

【0033】ゲート電極13は、素子形成領域29上に、ゲート絶縁層23を介して位置している。ゲート電極13は、ポリシリコン層からなる。ゲート絶縁層23は、シリコン酸化層からなる。シリコン酸化層のかわりに、例えば、シリコン窒化層のような他の絶縁層を用いることもできる。

【0034】ゲート電極13の上面13aおよび側面13bには、チタンシリサイド層21cが位置している。側面13bに位置するチタンシリサイド層21cの厚みが、例えば、60nmとすると、上面13aに位置するチタンシリサイド層21cの厚みは、約180nmとなる。このように、側面13bに位置するチタンシリサイド層21cの厚みは、上面13aに位置するチタンシリサイド層21cの厚みの約1/3となる。これは、チタンシリサイド層が、ゲート電極の上面に位置する部分のほうで、ゲート電極の側面に位置する部分よりも、成長しやすいからである。

【0035】n⁺型ソース領域15aは、素子分離絶縁層27aとゲート電極13との間であって、かつp型シリコン基板11内に位置している。n⁺型ソース領域15aは、エクステンション領域15a1を備えている。n⁺型ソース領域15a上には、チタンシリサイド層21aが位置している。

【0036】n⁺型ドレイン領域15bは、素子分離絶縁層27bとゲート電極13との間であって、かつp型シリコン基板11内に位置している。n⁺型ドレイン領域15bは、エクステンション領域15b1を備えている。n⁺型ドレイン領域15b上には、チタンシリサイド層21bが位置している。

【0037】ゲート電極13の一方の側面13bには、サイドウォール41aが位置している。サイドウォール41aは、第1部分31aおよび第2部分37aを備える。第1部分31aは、第2部分37aとゲート電極13との間に位置している。第1部分31aの頂部33aは、ゲート電極13の上面13aより下に位置してい

る。第1部分31aはシリコン窒化層からなる。一方、第2部分37aの頂部39aは、ゲート電極13の上面13aと同じ程度の高さに位置している。第2部分37aはシリコン酸化層からなる。

【0038】ゲート電極13の他方の側面13bには、サイドウォール41bが位置している。サイドウォール41bは、第1部分31bおよび第2部分37bを備える。第1部分31bは、第2部分37bとゲート電極13との間に位置している。第1部分31bの頂部33bは、ゲート電極13の上面13aより下に位置している。第1部分31bはシリコン窒化層からなる。一方、第2部分37bの頂部39bは、ゲート電極13の上面13aと同じ程度の高さに位置している。第2部分37bはシリコン酸化層からなる。

【0039】MOS電界効果トランジスタ1により生じる二つの主な効果を説明する。まず、一つ目を説明する。MOS電界効果トランジスタ1によれば、サイドウォール41aの第1部分31aの頂部33aは、ゲート電極13の上面13aより低い位置にある。また、サイドウォール41bの第1部分31bの頂部33bは、ゲート電極13の上面13aより低い位置にある。このため、チタンシリサイド形成工程において、ゲート電極13の上面13aのチタンシリサイド層21cがサイドウォール41a、41bとつながないようにすることができるので、細線効果の発生を抑制することができる。また、この効果は後で説明する第2実施形態でもいえることである。

【0040】二つ目を説明する。MOS電界効果トランジスタ1は、シリコン窒化層からなる第1部分31aを備えている。第1部分31aは、ゲート電極13と第2部分37aとの間、およびエクステンション領域15a1と第2部分37aとの間に、位置している。第1部分31aが上記位置に形成されているので、チタンシリサイド層21aと第2部分37a、および、チタンシリサイド層21cと第2部分37aとは、第1部分31aで分離される。第1部分31aはシリコン窒化層からなる。シリコン窒化層上では、チタンシリサイド層が成長しないので、チタンシリサイド層形成工程において、サイドウォール41a上で、チタンシリサイド層21aとチタンシリサイド層21cとがつながる、いわゆるブリッジ効果の発生を抑制することができる。なお、サイドウォール41bにおいても、同様のことが言える。この効果は後で説明する第2実施形態でもいえることである。

【0041】なお、第1実施形態では、第1部分31a、31bがシリコン窒化層であり、第2部分37a、37bがシリコン酸化層である。第1部分31a、31bがシリコン酸化層であり、第2部分37a、37bがシリコン窒化層でもよい。このことは、後で説明する第2実施形態でもいえることである。

【0042】(デバイスの製造方法) 図3 (C) に示すMOS電界効果トランジスタ1の製造方法を、図1〜図3を用いて説明する。図1〜図3は、MOS電界効果トランジスタ1の製造方法を説明するための工程図である。

【0043】図1 (A) に示すように、p型シリコン基板11に、素子分離絶縁層27a、27bを形成する。素子分離絶縁層27a、27bにより、素子形成領域29が規定される。なお、素子分離絶縁層27a、27bの形成方法としては、例えば、LOCOS (local oxidation of silicon) 法、セリセスLOCOS法、シャロートレンチ法がある。

【0044】例えば、熱酸化により、素子形成領域29のp型シリコン基板11上に、ゲート絶縁層23となるシリコン酸化層43を形成する。シリコン酸化層43上に、例えば、CVD法により、ゲート電極13となるポリシリコン層45を形成する。

【0045】図1 (B) に示すように、ポリシリコン層45およびシリコン酸化層43を、例えば、フォトリソグラフィとエッチングにより、パターンニングする。これにより、ゲート電極13およびゲート絶縁層23が形成される。

【0046】ゲート電極13および素子分離絶縁層27a、27bをマスクとして、p型シリコン基板11に、n型不純物(例えば、リン)をイオン注入することにより、n⁺型ソース領域15aのエクステンション領域15a1およびn⁺型ドレイン領域15bのエクステンション領域15b1を形成する。

【0047】図1 (C) に示すように、p型シリコン基板11全面に、例えば、CVD法を用いて、シリコン窒化層31を形成する。シリコン窒化層31の厚みは、例えば、300〜1000オングストロームである。シリコン窒化層31の厚みが1000オングストローム以下の理由を説明する。シリコン窒化層31の厚みが大きすぎると、シリコン窒化層31およびシリコン酸化層37からなる層の厚みが大きくなる。これにより、MOS電界効果トランジスタのエクステンション領域が長くなるので、ON電流が流れにくくなる。この結果、MOS電界効果トランジスタの高速化が図れなくなる。シリコン窒化層31の厚みが1000オングストローム以下だと、このような現象を防ぐ可能性を高めることができるのである。

【0048】シリコン窒化層31の厚みが300オングストローム以上の理由を説明する。シリコン窒化層31の厚みが小さすぎると、ゲート電極13とサイドウォールの第2部分37a、37b(図3 (C) 参照) との隙間が狭くなりすぎる。この結果、チタンシリサイド層21cがサイドウォールの第2部分37a、37bとつながり、細線効果を抑制できなくなる。シリコン窒化層31の厚みが300オングストローム以上だと、このよう

な現象を防ぐ可能性を高めることができるのである。

【0049】次に、シリコン窒化層31上に、例えば、CVD法を用いて、シリコン酸化層37を形成する。シリコン酸化層37の厚みは、例えば、300〜1000オングストロームである。シリコン酸化層37の厚みが1000オングストローム以下の理由を説明する。シリコン酸化層37の厚みが大きすぎると、シリコン窒化層31およびシリコン酸化層37からなる層の厚みが大きくなる。これにより、MOS電界効果トランジスタのエクステンション領域が長くなるので、ON電流が流れにくくなる。この結果、MOS電界効果トランジスタの高速化が図れなくなる。シリコン酸化層37の厚みが1000オングストローム以下だと、このような現象を防ぐ可能性を高めることができるのである。

【0050】シリコン酸化層37の厚みが300オングストローム以上の理由を説明する。シリコン酸化層37の厚みが小さすぎると、サイドウォールの第2部分37a、37bが形成できなくなる。シリコン酸化層37の厚みが300オングストローム以上だと、このような現象を防ぐ可能性を高めることができるのである。

【0051】図2 (A) に示すように、シリコン酸化層37を全面エッチングすることにより、ゲート電極13の側面13bに、サイドウォールの第2部分37a、37bを形成する。第2部分37aの頂部39a、第2部分37bの頂部39bは、それぞれ、ゲート電極13の上面13aと同じ程度の高さにある。なお、シリコン酸化層37を全面エッチングする方法としては、例えば、CHF₃によるドライエッチングがある。

【0052】図2 (B) に示すように、シリコン窒化層31を全面エッチングすることにより、ゲート電極13の側面13bに、サイドウォールの第1部分31a、31bを形成する。第1部分31aの頂部33a、第1部分31bの頂部33bは、それぞれ、ゲート電極13の上面13aと同じ程度の高さにある。なお、シリコン窒化層31を全面エッチングする方法としては、例えば、CF₄によるドライエッチングがある。

【0053】第1部分31aおよび第2部分37aで、サイドウォール41aが構成される。また、第1部分31bおよび第2部分37bで、サイドウォール41bが構成される。

【0054】図2 (C) に示すように、ゲート電極13、サイドウォール41a、41bおよび素子分離絶縁層27a、27bをマスクとして、イオン注入によりn型不純物(例えば、ヒ素)を、p型シリコン基板11の全面に注入する。これにより、n⁺型ソース領域15a、n⁺型ドレイン領域15bを形成する。

【0055】図3 (A) に示すように、例えば、熱リン酸により、シリコン窒化層からなる第1部分31a、31bを部分的に除去する。これにより、頂部33a、33bは、ゲート電極13の上面13aより下に位置す

る。この熱リン酸処理において、シリコン酸化層からなる第2部分37a、37bは、除去されない。このため、第2部分37a、37bの頂部39a、39bの高さは、ゲート電極13の上面13aの高さとほぼ同じままである。

【0056】なお、第1部分31a、31bの材料がシリコン酸化層とした場合、第1部分31a、31bの部分的除去は、例えば、フッ酸を用いることにより行う。

【0057】図3(B)に示すように、例えば、スパッタリングにより、p型シリコン基板11の全面に、厚さ200~400オングストロームのチタン層21を形成する。チタン層のかわりに、コバルト層を用いてもよい。次に、例えば、スパッタリングにより、チタン層21上に、厚さ100~500オングストロームのチタンナイトライド層(図示せず)を形成する。チタンナイトライド層を形成する理由は、以下のとおりである。シリサイド反応時に酸素が存在すると、反応開始温度が上昇する問題や、より低温でシリサイドが凝集して配線抵抗が高くなる問題が生じる。これらの問題が発生するのを防ぐため、チタンナイトライド層でチタン層をキャップしているのである。

【0058】そして、図3(C)に示すように、チタン層21およびチタンナイトライド層が形成されたシリコン基板を、例えば、窒素雰囲気中で第1の熱処理をする。第1の熱処理は、例えば、650~750℃で、30~60秒の条件で行う。第1の熱処理により、チタンシリサイド層21a、21b、21cが形成される。そして、例えば、ウェットエッチングにより、未反応のチタン層を除去する。次に、例えば、窒素雰囲気中で第2の熱処理をする。第2の熱処理は、例えば、800~850℃で、30~60秒の条件で行う。第2の熱処理により、チタンシリサイド層21a、21b、21cでは、高抵抗の結晶構造(C49構造)から低抵抗の結晶構造(C54構造)に相転移がなされる。

【0059】以上により、MOS電界効果トランジスタ1が完成する。

【0060】次に、上記製造方法による二つの主要な効果を説明する。これらの効果は、第2実施形態でもいえることである。まず、一つ目を説明する。

【0061】上記製造方法によれば、チタンシリサイド層21cに細線効果が発生するのを抑制することができる。すなわち、図3(B)および図3(C)に示すように、サイドウォール41a、41bの第1部分31a、31bの頂部33a、33bを、ゲート電極13の上面13aより低い位置にした状態で、ゲート電極13の上面13aにチタンシリサイド層21cを形成している。このため、チタンシリサイド層21c形成工程において、ゲート電極13の上面13aのチタンシリサイド層21cは、サイドウォール41a、41bとつながっていない。よって、チタンシリサイド層21cには、細線

効果が問題になるほどの引張応力が作用しない。この結果、高抵抗の結晶構造から低抵抗の結晶構造への相転移が起こりやすいチタンシリサイドを得ることができるので、細線効果の発生を抑制することができるのである。

【0062】なお、チタンシリサイド層21cの端部は、ゲート電極13の側面13b上において、サイドウォール41a、41bと接触している。上記のように、ゲート電極13の側面13bに位置するチタンシリサイド層21cの厚みは、ゲート電極13の上面13aに位置するチタンシリサイド層21cの厚みの約1/3である。このため、チタンシリサイド層21cに作用する引張応力は小さいので、チタンシリサイド層21cに発生する細線効果は低度である。よって、細線効果の問題は、無視することができる。

【0063】つぎに、二つ目を説明する。上記製造方法によれば、第2部分37aとゲート電極13、および、第2部分37aとn⁺型ソース領域15aが、それぞれ、シリコン窒化層からなる第1部分31aで分離された状態で、チタンシリサイド層21a、21cが形成される。シリコン窒化層上では、チタンシリサイド層が成長しないので、チタンシリサイド層形成工程において、サイドウォール41a上で、チタンシリサイド層21aとチタンシリサイド層21cとがつながる、いわゆるブリッジ効果の発生を抑制することができる。なお、サイドウォール41bにおいても、同様のことが言える。

【0064】[第2実施形態]

(デバイスの構造)図6(D)は、本発明の第2実施形態にかかるMOS電界効果トランジスタ3の断面図である。第2実施形態にかかるMOS電界効果トランジスタ3において、図3(C)に示す第1実施形態にかかるMOS電界効果トランジスタ1と同等の機能を有する部分には、同一符号を付してある。MOS電界効果トランジスタ3がMOS電界効果トランジスタ1と相違する部分を説明し、同じ部分については説明を省略する。

【0065】MOS電界効果トランジスタ3は、MOS電界効果トランジスタ1と同様に、サイドウォール41a、41bを備えている。MOS電界効果トランジスタ3のサイドウォール41a、41bの第2部分37a、37bの頂部39a、39bは、ゲート電極13の上面13aより高い位置にあるので、その分だけ、サイドウォール41a、41b上の距離をかせげる。このため、ゲート電極13の上面13a、n⁺型ソース領域15a、n⁺型ドレイン領域15bに、それぞれ、チタンシリサイド層21c、21a、21bを形成する工程において、ブリッジ効果の発生を抑制することができる。

【0066】(デバイスの製造方法)本発明の第2実施形態にかかるMOS電界効果トランジスタの製造方法を、図4~図6を用いて説明する。図4~図6は、MOS電界効果トランジスタ3の製造方法を説明するための工程図である。

【0067】図4 (A) に示すように、p型シリコン基板11に、素子分離絶縁層27a、27bを形成する。形成方法は第1実施形態と同様の方法を用いることができる。素子分離絶縁層27a、27bにより、素子形成領域29が規定される。

【0068】素子形成領域29のp型シリコン基板11上に、ゲート絶縁層23となるシリコン酸化層43を形成する。シリコン酸化層43上に、ゲート電極13となるポリシリコン層45を形成する。これらの形成方法は第1実施形態と同様の方法を用いることができる。

【0069】ポリシリコン層45上に、例えば、スパッタリングにより、チタンナイトライド層47を形成する。チタンナイトライド層47は、上部層の一例である。チタンナイトライド層47の厚みは、例えば、300～1000オングストロームである。チタンナイトライド層47の厚みが300オングストローム以上の理由を説明する。チタンナイトライド層47の厚みが小さすぎると、ブリッジ効果発生を十分に抑制できない。また、全面エッチングのとき、ゲート電極13がダメージを受ける。チタンナイトライド層47の厚みが300オングストローム以上だと、このような現象を防ぐ可能性を高めることができる。

【0070】次に、チタンナイトライド層47の厚みが1000オングストローム以下の理由を説明する。ゲート電極13を構成するシリコン含有層の厚みが小さくなりすぎると、チタンシリサイド層21cがゲート絶縁層23に接触し、ゲート絶縁層23の絶縁特性に悪影響を及ぼす。チタンナイトライド層47の厚みが1000オングストローム以下だと、このような現象を防ぐ可能性を高めることができる。

【0071】図4 (B) に示すように、チタンナイトライド層47、ポリシリコン層45およびシリコン酸化層43を、例えば、フォトリソグラフィとエッチングにより、パターンニングする。これにより、チタンナイトライド層47a、ゲート電極13およびゲート絶縁層23からなる積層物が形成される。

【0072】チタンナイトライド層47aおよび素子分離絶縁層27a、27bをマスクとして、p型シリコン基板11に、n型不純物（例えば、リン）をイオン注入することにより、n⁺型ソース領域15aのエクステンション領域15a1およびn⁺型ドレイン領域15bのエクステンション領域15b1を形成する。

【0073】図4 (C) に示すように、p型シリコン基板11全面に、シリコン窒化層31を形成する。そして、シリコン窒化層31上にシリコン酸化層37を形成する。なお、p型シリコン基板11全面に、シリコン酸化層を形成し、そして、このシリコン酸化層上にシリコン窒化層を形成してもよい。図4 (C) で示す工程は、第1実施形態の図1 (C) で示す工程と同じなので、説明を省略する。

【0074】図5 (A) に示すように、シリコン酸化層37を全面エッチングすることにより、ゲート電極13の側面13bに、サイドウォールの第2部分37a、37bを形成する。第2部分37aの頂部39a、第2部分37bの頂部39bは、それぞれ、ゲート電極13の上面13aより高い位置にある。

【0075】図5 (B) に示すように、シリコン窒化層31を全面エッチングすることにより、ゲート電極13の側面13bに、サイドウォールの第1部分31a、31bを形成する。第1部分31aの頂部33a、第1部分31bの頂部33bは、それぞれ、ゲート電極13の上面13aより高い位置にある。

【0076】第1部分31aおよび第2部分37aで、サイドウォール41aが構成される。また、第1部分31bおよび第2部分37bで、サイドウォール41bが構成される。

【0077】図5 (C) に示すように、チタンナイトライド層47a、サイドウォール41a、41bおよび素子分離絶縁層27a、27bをマスクとして、イオン注入によりn型不純物（例えば、ヒ素）を、p型シリコン基板11の全面に注入する。これにより、n⁺型ソース領域15a、n⁺型ドレイン領域15bを形成する。このイオン注入は、チタンナイトライド層47a除去後にしてもよい。

【0078】図6 (A) に示すように、例えば、RCA洗浄により、チタンナイトライド層47aを選択的に除去する。このRCA洗浄において、第1部分31a、31bおよび第2部分37a、37bは、除去されない。このため、頂部33a、33b、39a、39bは、ゲート電極13の上面13aより高い位置のままである。

【0079】図6 (B) に示すように、例えば、熱リン酸により、シリコン窒化層からなる第1部分31a、31bを部分的に除去する。これにより、頂部33a、33bは、ゲート電極13の上面13aより下に位置する。この熱リン酸処理において、シリコン酸化層からなる第2部分37a、37bは、除去されない。このため、第2部分37a、37bの頂部39a、39bは、ゲート電極13の上面13aより高い位置のままである。

【0080】なお、第1部分31a、31bの材料がシリコン酸化層とした場合、第1部分31a、31bの部分的除去は、例えば、フッ酸を用いることにより行う。

【0081】図6 (C) および図6 (D) に示すように、チタンシリサイド層21a、21b、21cを形成する。図6 (C) および図6 (D) に示す工程は、第1実施形態の図3 (B) および図3 (C) に示す工程と同じなので説明を省略する。

【0082】以上により、MOS電界効果トランジスタ3が完成する。

【0083】つぎに、上記製造方法による効果を説明す

る。上記製造方法にれば、ブリッジ効果を抑制することができる。すなわち、まず、図5(B)に示すように、ゲート電極13の上面13aに、上部層であるチタンナイトライド層47aが位置している状態で、サイドウォール41a、41bを形成する。チタンナイトライド層47aがあるので、サイドウォール41a、41bの第1および第2部分の頂部33a、33b、39a、39bは、ゲート電極13の上面13aよりも高い位置にある。

【0084】その後、図6(B)に示すように、第1部分31a、31bの頂部33a、33bが、ゲート電極13の上面13aより低い位置になるようにされる。このとき、第2部分37a、37bの頂部39a、39bは、ゲート電極13の上面13aよりも高い位置にある状態のままである。

【0085】そして、図6(C)および図6(D)に示すように、ゲート電極13の上面13a、n⁺型ソース領域15a、n⁺型ドレイン領域15bに、それぞれ、チタンシリサイド層21c、21a、21bを形成する。チタンシリサイド層21c、21a、21b形成工程において、サイドウォール41a、41bの第2部分37a、37bの頂部39a、39bがゲート電極13の上面13aより高い位置にあるので、その分だけ、サイドウォール41a、41b上の距離をかせげる。この結果、ブリッジ効果が生じにくい。

【図面の簡単な説明】

【図1】第1実施形態にかかるMOS電界効果トランジスタ1の製造方法を説明するための工程図である。

【図2】第1実施形態にかかるMOS電界効果トランジ

スタ1の製造方法を説明するための工程図である。

【図3】第1実施形態にかかるMOS電界効果トランジスタ1の製造方法を説明するための工程図である。

【図4】第2実施形態にかかるMOS電界効果トランジスタ3の製造方法を説明するための工程図である。

【図5】第2実施形態にかかるMOS電界効果トランジスタ3の製造方法を説明するための工程図である。

【図6】第2実施形態にかかるMOS電界効果トランジスタ3の製造方法を説明するための工程図である。

【符号の説明】

1、3 MOS電界効果トランジスタ

11 p型シリコン基板

13 ゲート電極

13a 上面

13b 側面

15a n⁺型ソース領域

15b n⁺型ドレイン領域

15a1、15b1 エクステンション領域

21 チタン層

21a、21b、21c チタンシリサイド層

31 シリコン窒化層

31a、31b 第1部分

33a、33b 頂部

37 シリコン酸化層

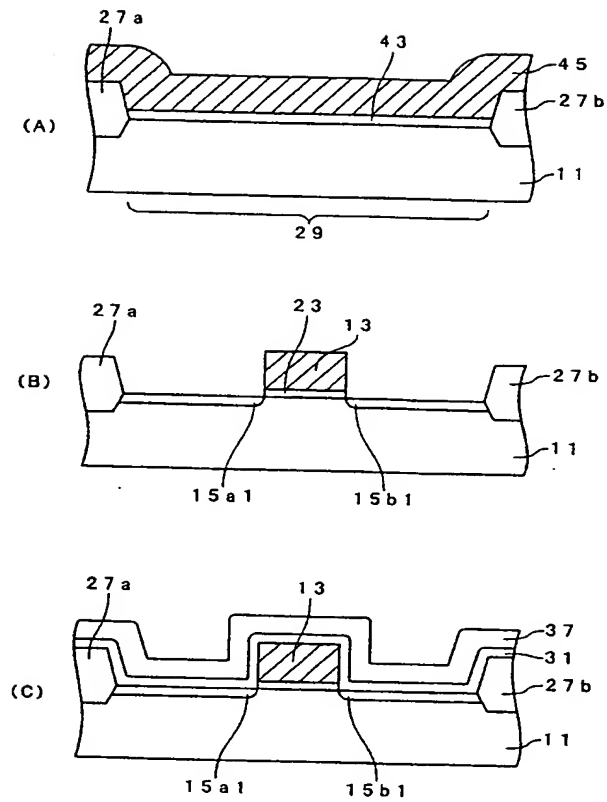
37a、37b 第2部分

39a、39b 頂部

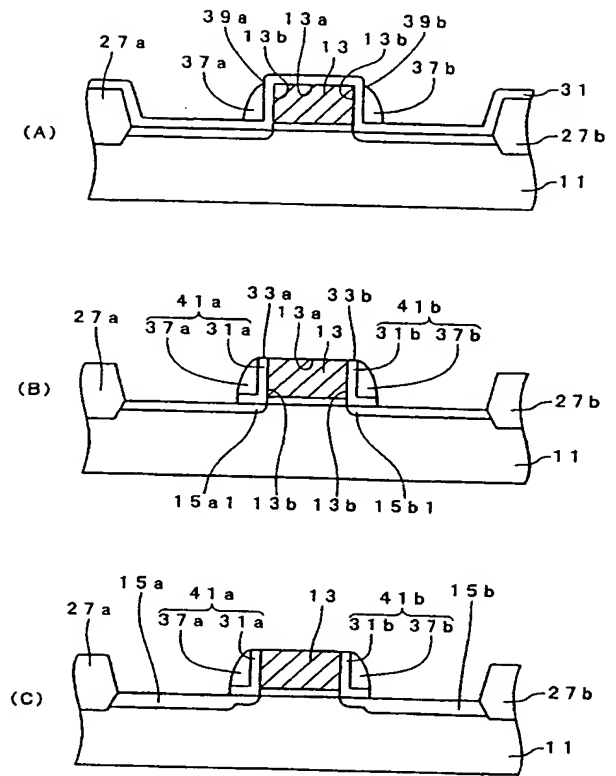
41a、41b サイドウォール

47、47a チタンナイトライド層

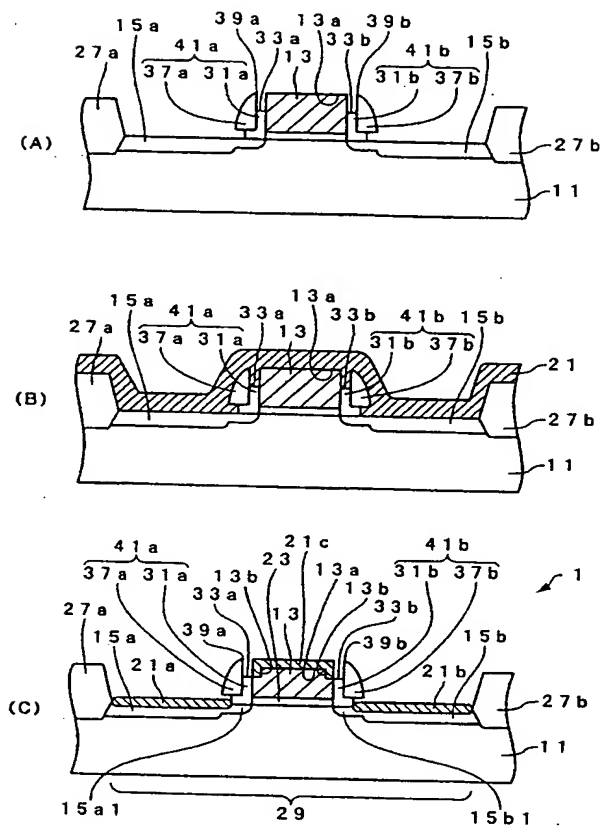
【図1】



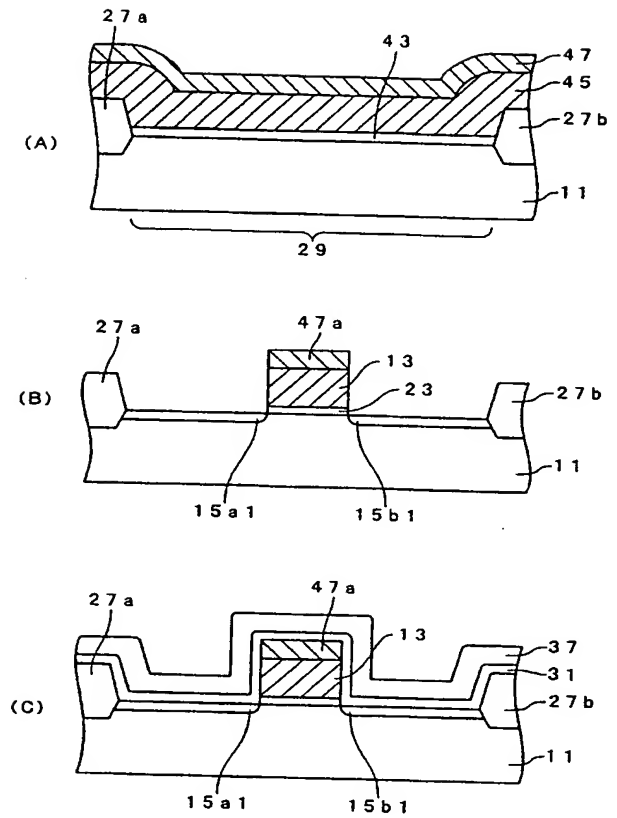
【図2】



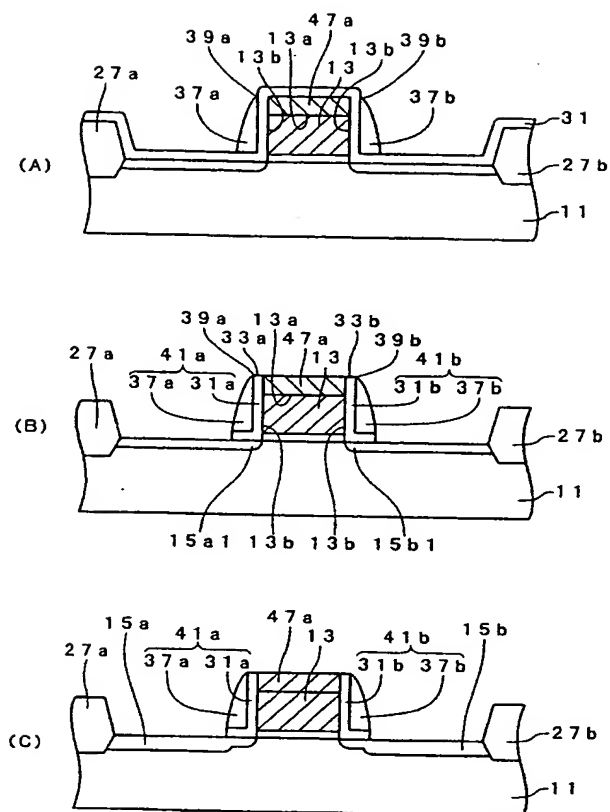
【図 3】



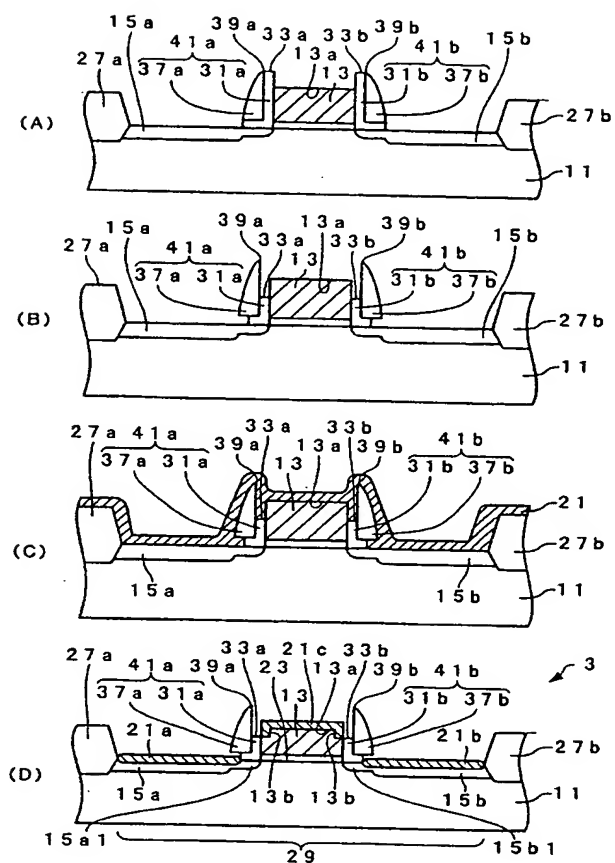
【図 4】



【図5】



【図6】



フロントページの続き

Fターム(参考) 4M104 AA01 BB01 BB20 BB25 CC05
 DD02 DD26 DD37 DD43 DD64
 DD79 DD84 EE09 EE17 FF06
 FF13 FF14 GG09 HH16
 5F040 DA01 DA10 DA14 DA22 DC01
 EC02 EC07 EC13 EC19 ED04
 EF02 EH02 EK01 EK05 FA05
 FA07 FA10 FB02 FC19 FC21
 FC22